

PAT-NO: JP401265345A

DOCUMENT-IDENTIFIER: JP 01265345 A

TITLE: CONTROLLER

PUBN-DATE: October 23, 1989

INVENTOR-INFORMATION:

NAME
SEKINE, KOICHI

INT-CL (IPC): G06F013/16

ABSTRACT:

PURPOSE: To reduce the electrical load of a data bus by using a switch means which switches a part of an address transmitted from a microprocessor unit MPU to an external signal as an address set to the data which is read out of a memory and used by the MPU and sends the switched signal to the memory.

CONSTITUTION: The parts A1 and A0 of the address signal received from an MPU 11 are switched to the external signals X0 and X1 and supplied to a memory 12 with no intervention of a data bus 14. Thus the MPU 11 can supply the signals X0 and X1 from the memory 12 via the bus 14. As a result, the quantity of data which are supplied simultaneously via the bus 14 can be reduced and therefore the electrical load of the bus 14 can be reduced.

COPYRIGHT: (C)1989,JPO&Japio

⑫ 公開特許公報(A) 平1-265345

⑤ Int. Cl.⁴

識別記号

庁内整理番号

④ 公開 平成1年(1989)10月23日

G 06 F 13/16

B-8841-5B

審査請求 未請求 請求項の数 2 (全5頁)

⑬ 発明の名称 制御装置

⑰ 特 願 昭63-93340

⑱ 出 願 昭63(1988)4月18日

⑲ 発 明 者 関 根 浩 一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑲ 代 理 人 弁理士 土 橋 皓

明 細 書

1. 発明の名称

制御装置

2. 特許請求の範囲

(1) MPU(11)がメモリ(12)から読み出して使用するデータに対するアドレスとして、MPU(11)から送信されるアドレスの一部(A1, A0)と外部信号(X0, X1)とを切り換えてメモリ(12)側へ送信する切換手段(16)をデータバス(14)とメモリ(12)との間に介装したことを特徴とする制御装置。

(2) 前記切換手段(16)にはMPU(11)から受信したアドレスの一部(A3, A2)をメモリ(12)側へ送信する手段(26a, 26b)を備え、MPU(11)から送信されたアドレスの一部(A3, A2)と、前記切換手段(16)によりメモリ(12)側へ送信されて記憶させた外部信号(X0, X1)とを、組み合わせて作成したアドレスの一部(A3 A2

X0 X1)をMPU(11)とメモリ(12)との間で送受信させるようにしたことを特徴とする請求項(1)記載の制御装置。

3. 発明の詳細な説明

(概要)

プリンタ等の周辺機器に組込まれたマイクロプロセッサユニットが知りたい外部信号を周辺機器内のメモリへ記録する制御装置に関し、

MPUで使用するメモリのデータに対するアドレスとして、MPUから送信されるアドレスと外部信号が割り付けられるアドレスとを切り換えてメモリ側へ送信する切換手段を備えて、データバスを介さずに外部信号をメモリへ入力させ、メモリが記憶した外部信号のアドレスをMPUとメモリとの間で送受信する制御装置を提供することを目的とし、

MPUがメモリから読み出して使用するデータに対するアドレスとして、MPUから送信されるアドレスの一部と外部信号とを切り換えてメモリ

側へ送信する切換手段を備えた構成にしたものである。

(産業上の利用分野)

本発明は、プリンタ等の周辺機器に組込まれたマイクロプロセッサユニットが知りたい外部信号を周辺機器内のメモリへ記録する制御装置に関する。

(従来の技術)

従来のMPU (マイクロプロセッサユニット) を用いたプリンタ制御装置は、第4図に示すように、MPU 11とメモリ12およびROMやRAM等の各種LSI (集積回路) 13との間でデータを送受信させるデータバス14に、CPUあるいは外部端末装置等とデータを送受信する入出力ポート15を接続し、MPU 11が知りたい外部信号について入出力ポート15からデータバス14を介して送受信していた。

(課題を解決するための手段)

本発明は、上記課題を解決するための手段として制御装置を具体的に構成するにあたり、第1図に示すように、MPU 11がメモリ12から読み出して使用するデータに対するアドレスとして、MPU 11から送信されるアドレスの一部A1, A0と外部信号X0, X1とを切り換えてメモリ12側へ送信する切換手段16をデータバス14とメモリ12との間に介装したものである。

また、前記切換手段16にはMPU 11から受信したアドレスの一部A3, A2をメモリ12側へ送信する手段26a, 26bを備え、MPU 11から送信されて送信手段26a, 26bを介してメモリ12に記憶させたアドレスの一部A3, A2と、前記切換手段16によりメモリ12側へ送信させて記憶させた外部信号X0, X1とを、組み合わせて作成したアドレスの一部A3 A2 X0 X1をMPU 11とメモリ12との間で送受信させるものにしたことであ

(発明が解決しようとする課題)

上記従来のプリンタ制御装置では、MPU 11の処理に際して用紙の有無あるいは用紙送り制御等の外部信号をデータバス14から直接入力させていたため、静電容量やパターン容量等の成分による電気回路的なデータバス14の負荷が増大し、バス構造あるいはタイミングの変更等が必要になり、設計を困難にするという問題点があった。

本発明は、上記問題点を解決するために成されたもので、その解決を目的として設定する技術的課題は、MPU 11で使用するデータに対するアドレスとして、MPU 11から送信されるアドレスの一部と外部信号が割り付けられるアドレスの一部とを切り換えてメモリ側へ送信する切換手段を備え、データバス14を介さずに外部信号をメモリ12へ入力させ、外部信号を記憶させたメモリ12のアドレスをMPU 11とメモリ12との間で送受信する制御装置を提供することにある。

る。

(作用)

本発明は上記構成により、MPU 11から出力されたアドレス信号の一部A1, A0と、外部信号X0, X1とを切り換えて、データバス14を介さずにメモリ12に入力させ、MPU 11が必要に応じてメモリ12からデータバス14を介して外部信号X0, X1を入力できるようにし、データバス14を介して同時に入力させるデータ量を減少させ、データバス14の電気的負荷を低下させることができるようになる。

MPU 11が外部信号の状態を求める場合には、MPU 11で使用するメモリ12のアドレスとして外部信号X0, X1とMPU 11から出力されたアドレスの一部A3, A2とが組み合わされたアドレスの一部A3 A2 X0 X1を使用することにより、外部信号X0, X1により選択された(あらかじめ初期化されている)メモリ12の内容を読み出して、その内容から判断することが

できるようになり、データバス 14 を介して外部信号 $X0$, $X1$ を MPU 11 へ入力させずにすみ、MPU 11 とメモリ 12 との間において常に一定のデータ量で送受信されてデータバス 14 の電氣的負荷を均一化させることができるようになる。

(実施例)

以下、本発明の実施例につき、外部信号が $X0$, $X1$ の 2 ビットで入力される場合について図示説明する。

第 2 図に示すように、MPU 11 で使用するメモリ 12 のデータに対するアドレスとして、MPU 11 から送信されるアドレスと外部信号とを切り換えてメモリ 12 側へ送信する切換手段 16 を、メモリ 12 とデータバス 14 との間に介装する。

この切換手段 16 には、入力されたアドレス内の 2 桁 a b の状態により対応する出力端子 \bar{a} \bar{b} , \bar{a} b , a \bar{b} , a b から 1 を出力する 2 つの

出力線 26 a , 26 b で分岐させて、メモリ 12 の記憶場所 MA3 (A3 記憶番地) および MA2 (A2 記憶番地) にもそれぞれ同時に伝送し、記憶させる。

切換手段 16 に入力させる外部信号 $X0$, $X1$ は、直接にマルチプレクサ 23 の $b0$, $b1$ へ入力させる。

デコーダ 21 から出力されるデータ \bar{a} \bar{b} は、メモリ 12 のイネーブルデータ記憶場所へ伝送され、記憶させる。

デコーダ 22 から出力されるデータ a b は、マルチプレクサ 23 の \bar{a} / b へ入力させる。

マルチプレクサ 23 から出力される $c0$, $c1$ はメモリ 12 の記憶場所 MA1 (A1 記憶番地) , および MA0 (A0 記憶番地) へそれぞれ伝送させ、記憶させる。

アドレス A5 A4 A3 A2 A1 A0 の割り付けは、第 3 図に示すように、A5 , A4 の値が 0 で A3 , A2 の値が 1 を採る位置の下位 2 桁 A1 A0 の値が 00 ~ 11 の範囲を、2 桁で与え

デコーダ 21 , 22 と、デコーダ 22 の出力を入力し、その入力したデータ \bar{a} / b の状態により MPU 11 から送信された 2 桁のデータ $a0$ $a1$, または $b0$ $b1$ を出力端子 $c0$ $c1$ からメモリ 12 側へ出力するマルチプレクサ 23 とを設け、メモリ 12 の記憶場所を示す 6 桁から成るアドレス A5 A4 A3 A2 A1 A0 の各 2 桁づつを、データバス 14 からアドレスバス 24 を介して各デコーダ 21 , 22 およびマルチプレクサ 23 に伝送させる。

MPU 11 からアドレスバス 24 を介して伝送させるアドレス A5 A4 A3 A2 A1 A0 は、各 2 桁のデータとして A5 , A4 をアドレスバス 24 からデコーダ 21 の a , b に、A3 , A2 をアドレスバス 24 からデコーダ 22 の a , b に、A1 , A0 をアドレスバス 24 からマルチプレクサ 23 の $a0$, $a1$ にそれぞれ伝送させる。

アドレスバス 24 からデコーダ 22 に伝送するデータの A3 および A2 は、デコーダ 22 への入力線 25 a , 25 b をそれぞれメモリ 12 側への

られる外部信号 $X0$ $X1$ の値 00 ~ 11 に対応してアクセスするように割り付ける。MPU 11 が必要に応じて、入力された外部信号 $X0$ $X1$ に対してメモリ 12 のどの番地がアクセスされたかを知ることができるように、例えば番地自身をデータとして格納する等の方法により、その番地固有の値であらかじめ初期化しておく。

このような実施例によれば、MPU 11 が外部信号 $X0$ $X1$ の状態を知りたい場合、メモリ 12 のアドレス 0011 A1 A0 を読み出す。このとき、デコーダ 22 では A3 A2 が 11 になっている場合には a b = 11 となり、マルチプレクサ 23 の入力値 \bar{a} / b = 1 となって、 $c0$, $c1$ からは $b0$, $b1$ の値、すなわち外部信号 $X0$, $X1$ の値がメモリ 12 の記憶場所 MA1 , MA0 にそれぞれ出力される。この記憶場所 MA1 , MA0 を呼び出すことにより外部信号 $X0$, および $X1$ の状態と 1 対 1 に対応した A1 記憶番地、および A0 記憶番地を読み出せる。

上記実施例では外部信号が 2 ビットの場合につ

いて説明したが、これにかぎらず、任意のビット数によって実施することができる。

また、アドレスのビット数も A3 A2 A1 A0 (すなわち A3 A2 X0 X1) を含む任意のビット数のアドレスを使用してもさしつかえない。

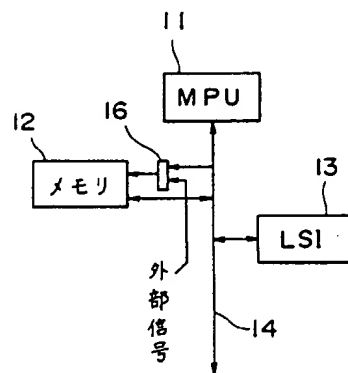
(発明の効果)

以上のように本発明では、MPU 11 で使用するデータに対するアドレスとして、MPU 11 から送信されるアドレスの一部と外部信号とを切り換えてメモリ 12 側へ送信する手段 16 を備えたことにより、直接にデータバス 14 を介して外部信号を MPU 11 へ入力させずにすみ、データバス 14 の電気的負荷を軽減させることができる。

これにより、バス構造あるいはタイミングの変更等が不要になり、装置のタイミングの設定や構造設計が容易になる。

4. 図面の簡単な説明

第 1 図は、本発明による制御装置の基本構成



11…MPU
12…メモリ
14…データバス
16…切換手段

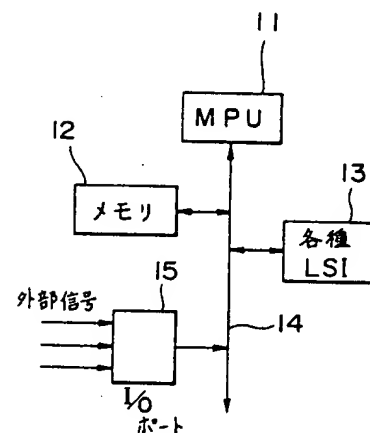
本発明による制御装置の基本構成図

第 1 図

図、第 2 図は、本発明による実施例の制御装置を示す部分構成図、第 3 図は、本発明による実施例のメモリにおけるアドレスマップを示す説明図、第 4 図は、従来のプリンタ制御装置を示す構成図。

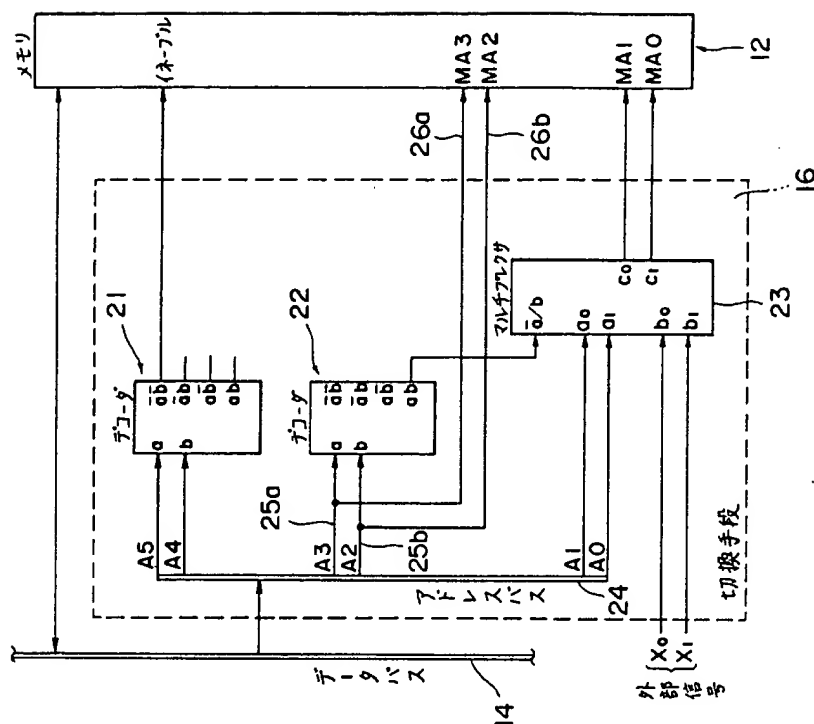
11…MPU
12…メモリ
14…データバス
16…切換手段
21, 22…デコーダ
23…マルチプレクサ
24…アドレスバス
25a, 25b…入力線
26a, 26b…出力線
A5 A4 A3 A2 A1 A0 …アドレス
X0, X1 …外部信号

特許出願人 富士通株式会社
代理人 弁理士 土橋 皓



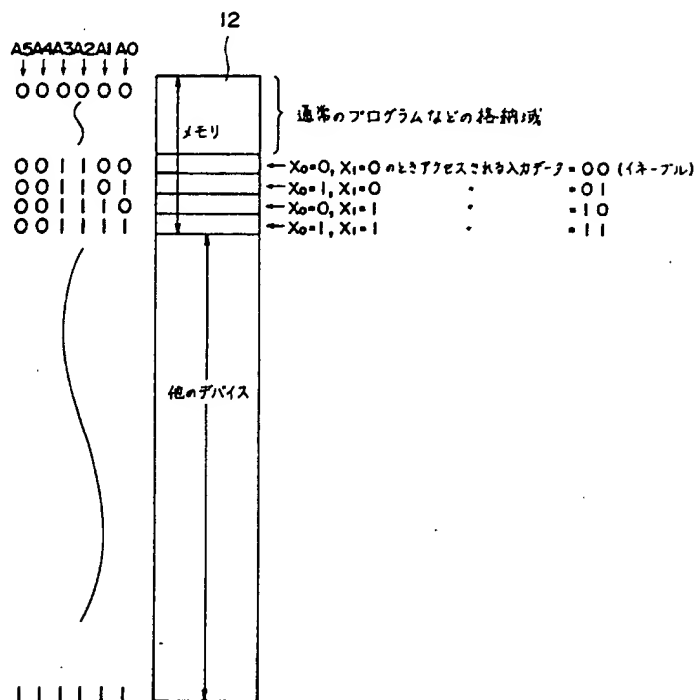
従来のプリンタ制御装置を示す構成図

第 4 図



25a, 25b...入力線
26a, 26b...出力線
A5, A4, A3, A2, A1, A0...アドレス
X0, X1...外部信号

本発明による実施例の制御装置を示す部分構成図
第 2 図



本発明による実施例のメモリにおける
アドレスマップを示す説明図

第 3 図